

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-174488

(P2018-174488A)

(43) 公開日 平成30年11月8日(2018.11.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/365 (2011.01)	HO4N 5/365	4C161
A61B 1/04 (2006.01)	A61B 1/04 530	4M118
A61B 1/045 (2006.01)	A61B 1/045 611	5C024
HO1L 27/146 (2006.01)	HO1L 27/146 F	
HO4N 5/363 (2011.01)	HO1L 27/146 A	

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2017-72452 (P2017-72452)
 (22) 出願日 平成29年3月31日 (2017.3.31)

(71) 出願人 000113263
 HOYA株式会社
 東京都新宿区西新宿六丁目10番1号
 (74) 代理人 100091096
 弁理士 平木 祐輔
 (74) 代理人 100102576
 弁理士 渡辺 敏章
 (74) 代理人 100153903
 弁理士 吉川 明
 (72) 発明者 橘 俊雄
 東京都新宿区西新宿六丁目10番1号 H
 OYA株式会社内
 Fターム(参考) 4C161 AA00 BB00 CC06 JJ06 JJ15
 LL02 NN01 PP01 SS01 SS04
 SS10 SS18

最終頁に続く

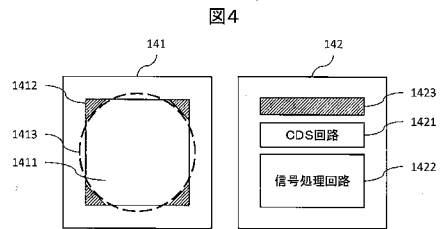
(54) 【発明の名称】 内視鏡

(57) 【要約】

【課題】 ノイズを補正する機能を損なうことなく、受光画素をできる限り多く設けることができる内視鏡を提供する。

【解決手段】 本発明に係る内視鏡は、第1受光素子を実装した受光素子チップを備えるとともに、第2受光素子とノイズ補正回路と信号処理回路を実装した信号処理チップを備え、前記信号処理回路は、前記第1受光素子の出力と前記第2受光素子の出力との間の差分を用いて、前記ノイズ補正回路の出力を補正する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

被検体を撮像する撮像素子を備えた内視鏡であって、
前記撮像素子は、
光信号を電気信号に変換する第 1 受光素子を実装した受光素子チップ、
信号を処理する信号処理回路を実装した信号処理チップ、
を有し、
前記信号処理チップはさらに、
光信号を電気信号に変換する第 2 受光素子、
前記第 1 受光素子が出力する電気信号に含まれるノイズを補正するノイズ補正回路、
を実装しており、
前記信号処理回路は、前記第 1 受光素子が出力する電気信号と、前記第 2 受光素子が出
力する電気信号との間の差分を用いて、前記ノイズ補正回路が出力する信号に含まれるノ
イズを補正する
ことを特徴とする内視鏡。

10

【請求項 2】

前記受光素子チップと前記信号処理チップは、重ね合わせられており、
前記第 2 受光素子は、前記受光素子チップと前記信号処理チップが対向する対向面上に
実装されている
ことを特徴とする請求項 1 記載の内視鏡。

20

【請求項 3】

前記第 1 受光素子は、前記受光素子チップの表面上の第 1 方向に沿って複数配置されて
おり、
前記ノイズ補正回路は、前記第 1 受光素子が出力する信号をサンプリングするサンプリ
ング素子を、前記第 1 受光素子の前記第 1 方向に沿った列ごとに 1 つ、または前記第 1 方
向に沿った複数の列ごとに 1 つ備え、
前記信号処理回路は、前記差分を用いて前記サンプリング素子の特性ばらつきを補正す
ることにより、前記ノイズ補正回路が出力する信号に含まれるノイズを補正する
ことを特徴とする請求項 2 記載の内視鏡。

30

【請求項 4】

前記第 2 受光素子は、前記第 1 受光素子の前記第 1 方向に沿った列ごとに設けられてお
り、
前記サンプリング素子は、前記第 1 方向に沿った列に属する前記第 1 受光素子から信号
をサンプリングするとともに、前記第 1 方向に沿った列に属する前記第 2 受光素子から信
号をサンプリングし、
前記信号処理回路は、前記差分を用いて、前記第 1 方向に沿った前記ノイズ補正回路の
特性ばらつきを補正することにより、前記ノイズ補正回路が出力する信号に含まれるノ
イズを補正する
ことを特徴とする請求項 3 記載の内視鏡。

40

【請求項 5】

前記第 2 受光素子は、前記第 1 方向に対して直交する第 2 方向に沿って複数配置されて
おり、
前記サンプリング素子は、前記第 1 方向に沿った同じ列に属する複数の前記第 2 受光素
子から信号を並列的にサンプリングする
ことを特徴とする請求項 4 記載の内視鏡。

【請求項 6】

前記受光素子チップは、複数の前記第 1 受光素子を実装しており、
前記信号処理回路は、いずれかの前記第 1 受光素子が出力する電気信号を、画素値の黒
レベルの基準値として用いる
ことを特徴とする請求項 1 から 5 のいずれか 1 項記載の内視鏡。

50

【請求項 7】

前記第 1 受光素子は、前記受光素子チップの表面上の第 1 方向に沿って複数配置されるとともに、前記第 1 方向に対して直交する第 2 方向に沿って複数配置されることにより、アレイ状に配置されており、

前記第 1 受光素子のアレイの角部に配置されている前記第 1 受光素子のうち少なくともいずれかは、遮光素子として形成されており、

前記信号処理回路は、前記遮光素子として形成されている前記第 1 受光素子が出力する電気信号を、画素値の黒レベルの基準値として用いる

ことを特徴とする請求項 6 記載の内視鏡。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は、内視鏡に関する。

【背景技術】**【0002】**

CMOS (Complementary Metal Oxide Semiconductor) などの撮像素子は、受光素子などのアナログ回路と、信号処理回路などのデジタル回路とが混在するデバイスである。内視鏡のようにチップサイズを小型化することが求められる装置においては、限られたチップ面積上に少しでも多くの受光素子を配置する必要がある。そこで従来、アナログ回路とデジタル回路をそれぞれ別の半導体基板上に実装し、基板同士を重ね合わせることにより、受光素子が占める面積割合をできる限り大きくしている。

20

【0003】

下記特許文献 1 は、固体撮像装置に関連する技術を開示している。同文献は、『アナログ回路とデジタル回路とが混在する半導体集積回路において、基板の総面積の増加を抑制する。』ことを課題として、『半導体集積回路 1 には、アナログ回路 1 3 およびアナログ回路 1 3 のアナログの出力信号をデジタル変換するデジタル回路 1 4 が形成される。このうち、アナログ回路の一部 1 9 は第 1 半導体基板 5 1 に形成され、アナログ回路の残部 3 7 およびデジタル回路 1 4 は第 2 半導体基板 5 3 に形成される。第 1 半導体基板 5 1 と第 2 半導体基板 5 3 とは、基板接続部 5 5 により接続される。基板接続部 5 5 は、第 1 半導体基板 5 1 のアナログ回路の一部 1 9 により生成されたアナログ信号を、第 2 半導体基板 5 3 へ伝送する。』という技術を開示している（要約参照）。

30

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2015 - 144316 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

撮像素子は一般に、黒基準レベルを取得するために遮光素子を備える。さらには、画素ごとの固定パターンノイズや、CDS (相関 2 重サンプリング) 回路が有する列ごとの特性ばらつきなどを補正するため、遮光素子を設ける場合もある。受光素子の一部を遮光素子として構成すると、光信号を受光するために用いることができる受光素子が少なくなるので、受光画素数を確保するための妨げとなる。

40

【0006】

本発明は、上記のような課題に鑑みてなされたものであり、ノイズを補正する機能を損なうことなく、受光画素をできる限り多く設けることができる内視鏡を提供することを目的とする。

【課題を解決するための手段】**【0007】**

50

本発明に係る内視鏡は、第1受光素子を実装した受光素子チップを備えるとともに、第2受光素子とノイズ補正回路と信号処理回路を実装した信号処理チップを備え、前記信号処理回路は、前記第1受光素子の出力と前記第2受光素子の出力との間の差分を用いて、前記ノイズ補正回路の出力を補正する。

【発明の効果】

【0008】

本発明に係る内視鏡によれば、信号処理チップ上に実装した第2受光素子を用いて補正を実施することにより、補正機能を損なうことなく、受光素子の個数を確保することができる。

【図面の簡単な説明】

10

【0009】

【図1】実施形態1に係る内視鏡システム1000の構成図である。

【図2】撮像素子140を製造する工程を示す模式図である。

【図3】従来の撮像素子の構成を示す平面図である。

【図4】実施形態1における撮像素子140の構成を示す平面図である。

【図5】CDS回路1421と各受光素子との間の接続関係を示す模式図である。

【図6】遮光素子1423を行方向に複数配置した例である。

【発明を実施するための形態】

【0010】

<実施の形態1>

20

図1は、本発明の実施形態1に係る内視鏡システム1000の構成図である。内視鏡システム1000は、被検体内部の動画像を撮影するためのシステムである。内視鏡システム1000は、内視鏡100、プロセッサ200、モニタ300を有する。

【0011】

内視鏡100は、被検体内部に挿入してその動画像を取得する装置である。内視鏡100は、光ファイバ110、配光レンズ120、対物レンズ130、撮像素子140、信号処理部150を備える。

【0012】

光ファイバ110は、光源210が出力する光を配光レンズ120まで伝搬する。配光レンズ120は、その光を被検体に対して照射する。対物レンズ130は、被検体から反射された光を集光する。撮像素子140は、対物レンズ130が集光した光を電気信号に変換することにより、撮像信号を出力する。信号処理部150は、撮像素子140を駆動して撮像信号を取得し、その撮像信号をプロセッサ200に対して出力する。

30

【0013】

プロセッサ200は、内視鏡100が取得した撮像信号を処理することにより動画像と静止画像を生成する演算装置である。プロセッサ200は、光源210、CPU(Central Processing Unit)220を備える。光源210は、内視鏡100が被検体に対して照射する光を出力する。例えばキセノンランプやLED(Light Emitting Diode)などを光源210として用いることができる。CPU220は、信号処理部150から受け取った信号を用いて被検体の画像を生成し、モニタ300上に画面表示する。

40

【0014】

図2は、撮像素子140を製造する工程を示す模式図である。撮像素子140は、例えば受光素子ウエハ410と信号処理ウエハ420を張り合わせてダイシングすることにより製造される。受光素子ウエハ410は、受光素子を実装した半導体ウエハである。信号処理ウエハ420は、信号処理回路などを実装した半導体ウエハである。受光素子などのアナログ回路と信号処理回路などのデジタル回路をそれぞれ別の半導体ウエハ上に実装して張り合わせることにより、受光素子が占める面積をできる限り確保することができる。

【0015】

図2のような製造工程を経ることにより、撮像素子140は受光素子チップ141と信

50

号処理チップ142を重ね合わせた構成を備える。各チップはそれぞれ異なる回路を実装している。以下では本発明と従来技術との間の違いを明確にするため、まず図2のような工程によって製造する従来の撮像素子の構成を説明し、次に本実施形態1に係る撮像素子140の構成について説明する。

【0016】

図3は、従来の撮像素子の構成を示す平面図である。記載の便宜上、図2と同じ符号を用いた。従来の撮像素子は、受光素子チップ141上に受光素子1411がアレイ状に配列されており、受光素子1411の一部は遮光素子1412として形成されている。遮光素子1412は、黒レベルの基準値を提供する素子として用いることができる。

【0017】

信号処理チップ142上には、CDS回路1421と信号処理回路1422が実装されている。CDS回路1421は、画素ごとの固定パターンノイズを補正する回路である。信号処理回路1422は、CDS回路1421が補正を実施した後の電気信号を用いて画素信号を生成する回路である。

【0018】

図3のように受光素子1411の一部を遮光素子1412として構成した場合、入射光学系のイメージサークル1413の一部が遮光素子1412と重なり、イメージサークル1413内の一部を撮影することができない。したがって、撮影に用いることができる受光素子1411の個数が制限されることになる。

【0019】

図4は、本実施形態1における撮像素子140の構成を示す平面図である。本実施形態1において、遮光素子1412は受光素子1411のアレイの4隅に形成されている。具体的には、受光素子1411のうちイメージサークル1413の外側に配置されているものを遮光素子1412として構成することが望ましい。これにより、図3のようにイメージサークル1413内の一部を遮光素子1412によって遮ることなく、受光素子1411を効率的に用いることができる。

【0020】

本実施形態1において、信号処理チップ142は図3で説明した構成に加えて遮光素子1423を備える。遮光素子1423は、受光素子1411および遮光素子1412と同様の構成を有する素子である。信号処理回路1422は、遮光素子1423が出力する電気信号を用いて列方向における補正処理を実施することができる。以下具体的に説明する。

【0021】

図5は、CDS回路1421と各受光素子との間の接続関係を示す模式図である。記載の便宜上、受光素子チップ141上に実装されている素子と信号処理チップ142上に実装されている素子を同じ平面上に示すとともに、受光素子1411のアレイのうち4隅に配置されているもの4つを遮光素子1412として示した。

【0022】

CDS回路1421は、受光素子1411のアレイの列ごとにサンプリング素子1424を備えている。サンプリング素子1424は、同じ列に属する受光素子1411（遮光素子1412が同じ列に含まれる場合は遮光素子1412も含む）から並列的に信号をサンプリングする。これにより、受光素子1411が多数存在する構成においても、読取速度を確保することができる。

【0023】

必ずしも全ての列のサンプリング素子1424が同じ特性を有しているとは限らず、列ごとに特性がばらついている可能性がある。このようなCDS回路1421の列ごとの特性ばらつきを補正するために、遮光素子1423を用いることができる。具体的には、ある列のサンプリング素子1424がその列に属している受光素子1411から信号を読み取り、次に同じ列の遮光素子1423から信号を読み取り、前者から後者を差し引くことによりその列のサンプリング素子1424固有のノイズを除去する補正を実現できる。補

10

20

30

40

50

正処理は信号処理回路 1 4 2 2 が実施すればよい。

【 0 0 2 4 】

図 3 で説明した従来の構成においては、遮光素子 1 4 1 2 が列方向に沿って配置されているので、遮光素子 1 4 1 2 を用いてこのような列方向の補正を実施することができる。これに対して図 4 で説明した本実施形態 1 の構成においては、遮光素子 1 4 1 2 を 4 隅に配置したので、列方向の補正を実施することができない。遮光素子 1 4 1 2 が一部の列についてのみしか設けられていないからである。そこで本実施形態 1 においては信号処理チップ 1 4 2 上に遮光素子 1 4 2 3 を列方向に沿って配置し、これを用いて列方向の補正を実施することとした。したがって、受光素子 1 4 1 1 の面積を広く確保しつつ、CDS 回路 1 4 2 1 のノイズ特性を補正することができる。

10

【 0 0 2 5 】

遮光素子 1 4 2 3 の出力を黒レベルの基準として用いることもできる。ただし受光素子チップ 1 4 1 と信号処理チップ 1 4 2 はそれぞれ別の工程で製造したものであるので、遮光素子 1 4 1 2 の特性と遮光素子 1 4 2 3 の特性は異なる可能性がある。したがって黒レベルの基準として用いる遮光素子は、受光素子 1 4 1 1 と同じ半導体ウエハ上に形成することが望ましい。

【 0 0 2 6 】

< 実施の形態 1 : まとめ >

本実施形態 1 に係る内視鏡 1 0 0 において、信号処理回路 1 4 2 2 は、受光素子 1 4 1 1 の出力と遮光素子 1 4 2 3 の出力との間の差分を用いて、CDS 回路 1 4 2 1 の出力に含まれるノイズを補正する。さらに、遮光素子 1 4 1 2 は受光素子 1 4 1 1 のアレイのうち 4 隅部分に配置され、遮光素子 1 4 2 3 は信号処理チップ 1 4 2 上に配置されている。これにより、受光素子 1 4 1 1 の受光面積を広く確保するとともに、CDS 回路 1 4 2 1 の特性補正を実施することができる。

20

【 0 0 2 7 】

< 実施の形態 2 >

本発明の実施形態 2 では、実施形態 1 で説明した構成の変形例について説明する。その他の構成は実施形態 1 と同様であるので、以下では差異点について主に説明し、同じ構成については改めて説明しないこととする。

【 0 0 2 8 】

実施形態 1 において、CDS 回路 1 4 2 1 の列方向のノイズ特性を補正するために遮光素子 1 4 2 3 を設けることを説明した。受光素子チップ 1 4 1 と信号処理チップ 1 4 2 を張り合わせる面（対向面）上に遮光素子 1 4 2 3 を配置するのであれば、遮光素子 1 4 2 3 に光が到達することはないので、必ずしも遮光措置を施さなくともよい。この場合は、単に遮光素子 1 4 2 3 から信号を読み取れば足りる。遮光素子 1 4 2 3 は遮光措置を施さなくとも遮光された状態にあるからである。

30

【 0 0 2 9 】

図 6 は、遮光素子 1 4 2 3 を行方向に複数配置した例である。実施形態 1 において、遮光素子 1 4 2 3 を列方向に沿って複数配置することを説明したが、さらに行方向にも複数配置して、遮光素子 1 4 2 3 をアレイ状に形成することもできる。これにより CDS 回路 1 4 2 1 の列方向のノイズ特性をさらに精度よく補正することができる。受光素子チップ 1 4 1 とは異なり、信号処理チップ 1 4 2 はイメージサークル 1 4 1 3 による配置面積の制約がないので、図 6 のように遮光素子 1 4 2 3 を広く設けることができる。

40

【 0 0 3 0 】

実施形態 1 において、受光素子 1 4 1 1 のアレイのうち 4 隅部分に遮光素子 1 4 1 2 を設けることを説明したが、受光素子 1 4 1 1 のアレイのうち少なくともいずれかが遮光素子 1 4 1 2 として形成されていれば、その出力を黒レベルの基準とすることができる。たとえば対角線上の 2 隅にのみ遮光素子 1 4 1 2 を設け、これらの出力の平均値を黒レベルの基準として用いることが考えられる。

【 0 0 3 1 】

50

実施形態 1 において、受光素子 1 4 1 1 の列ごとにサンプリング素子 1 4 2 1 を配置した例を示したが、必ずしも 1 列の受光素子 1 4 1 1 について 1 つのサンプリング素子 1 4 2 1 を配置する必要はない。例えば複数列の受光素子 1 4 1 1 ごとに 1 つのサンプリング素子 1 4 2 1 を設け、列間でサンプリング素子 1 4 1 1 を共用してもよい。遮光素子 1 4 2 3 についても同様である。

【 0 0 3 2 】

< 本発明のまとめ >

本発明は、以下の構成を備える。

【 0 0 3 3 】

< 構成 1 >

被検体を撮像する撮像素子を備えた内視鏡であって、

前記撮像素子は、

光信号を電気信号に変換する第 1 受光素子を実装した受光素子チップ、

信号を処理する信号処理回路を実装した信号処理チップ、

を有し、

前記信号処理チップはさらに、

光信号を電気信号に変換する第 2 受光素子、

前記第 1 受光素子が出力する電気信号に含まれるノイズを補正するノイズ補正回路、
を実装しており、

前記信号処理回路は、前記第 1 受光素子が出力する電気信号と、前記第 2 受光素子が出力する電気信号との間の差分を用いて、前記ノイズ補正回路が出力する信号に含まれるノイズを補正する

ことを特徴とする内視鏡。

【 0 0 3 4 】

< 構成 2 >

前記受光素子チップと前記信号処理チップは、重ね合わせられており、

前記第 2 受光素子は、前記受光素子チップと前記信号処理チップが対向する対向面上に実装されている

ことを特徴とする構成 1 記載の内視鏡。

【 0 0 3 5 】

< 構成 3 >

前記第 1 受光素子は、前記受光素子チップの表面上の第 1 方向に沿って複数配置されており、

前記ノイズ補正回路は、前記第 1 受光素子が出力する信号をサンプリングするサンプリング素子を、前記第 1 受光素子の前記第 1 方向に沿った列ごとに 1 つ、または前記第 1 方向に沿った複数の列ごとに 1 つ備え、

前記信号処理回路は、前記差分を用いて前記サンプリング素子の特性ばらつきを補正することにより、前記ノイズ補正回路が出力する信号に含まれるノイズを補正する

ことを特徴とする構成 2 記載の内視鏡。

【 0 0 3 6 】

< 構成 4 >

前記第 2 受光素子は、前記第 1 受光素子の前記第 1 方向に沿った列ごとに設けられており、

前記サンプリング素子は、前記第 1 方向に沿った列に属する前記第 1 受光素子から信号をサンプリングするとともに、前記第 1 方向に沿った列に属する前記第 2 受光素子から信号をサンプリングし、

前記信号処理回路は、前記差分を用いて、前記第 1 方向に沿った前記ノイズ補正回路の特性ばらつきを補正することにより、前記ノイズ補正回路が出力する信号に含まれるノイズを補正する

ことを特徴とする構成 3 記載の内視鏡。

10

20

30

40

50

【 0 0 3 7 】

< 構成 5 >

前記第 2 受光素子は、前記第 1 方向に対して直交する第 2 方向に沿って複数配置されており、

前記サンプリング素子は、前記第 1 方向に沿った同じ列に属する複数の前記第 2 受光素子から信号を並列的にサンプリングする

ことを特徴とする構成 4 記載の内視鏡。

【 0 0 3 8 】

< 構成 6 >

前記受光素子チップは、複数の前記第 1 受光素子を実装しており、

前記信号処理回路は、いずれかの前記第 1 受光素子が出力する電気信号を、画素値の黒レベルの基準値として用いる

ことを特徴とする構成 1 から 5 いずれかに記載の内視鏡。

10

【 0 0 3 9 】

< 構成 7 >

前記第 1 受光素子は、前記受光素子チップの表面上の第 1 方向に沿って複数配置されるとともに、前記第 1 方向に対して直交する第 2 方向に沿って複数配置されることにより、アレイ状に配置されており、

前記第 1 受光素子のアレイの角部に配置されている前記第 1 受光素子のうち少なくともいずれかは、遮光素子として形成されており、

前記信号処理回路は、前記遮光素子として形成されている前記第 1 受光素子が出力する電気信号を、画素値の黒レベルの基準値として用いる

ことを特徴とする構成 6 記載の内視鏡。

20

【 符号の説明 】

【 0 0 4 0 】

1 0 0 : 内視鏡

1 1 0 : 光ファイバ

1 2 0 : 配光レンズ

1 3 0 : 対物レンズ

1 4 0 : 撮像素子

1 4 1 : 受光素子チップ

1 4 1 1 : 受光素子

1 4 1 2 : 遮光素子

1 4 1 3 : イメージサークル

1 4 2 : 信号処理チップ

1 4 2 1 : C D S 回路

1 4 2 2 : 信号処理回路

1 4 2 3 : 遮光素子

1 4 2 4 : サンプリング素子

1 5 0 : 信号処理部

2 0 0 : プロセッサ

2 1 0 : 光源

2 2 0 : C P U

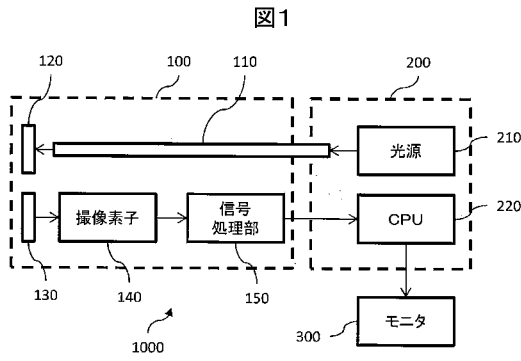
3 0 0 : モニタ

1 0 0 0 : 内視鏡システム

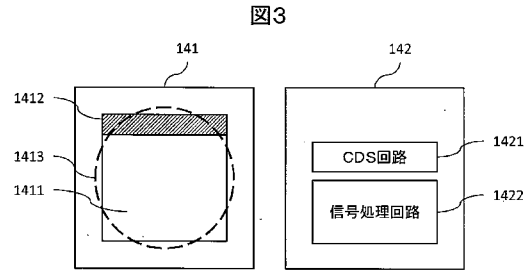
30

40

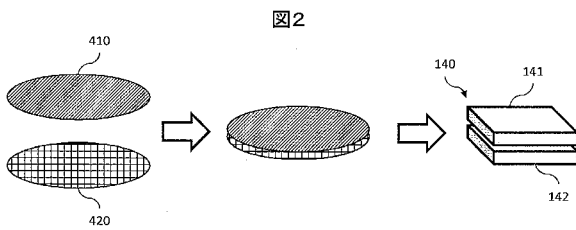
【 図 1 】



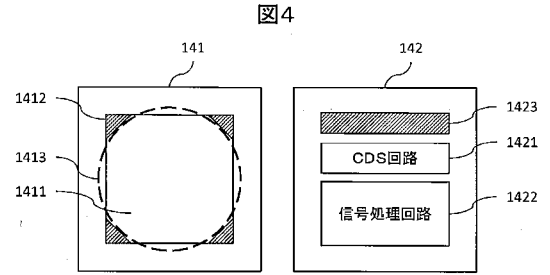
【 図 3 】



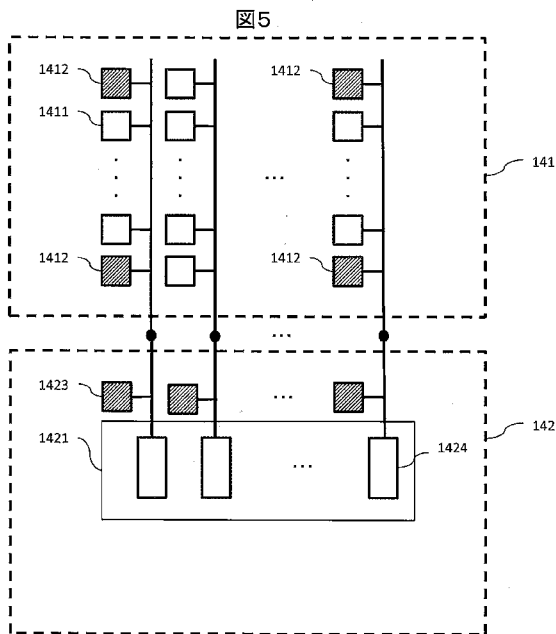
【 図 2 】



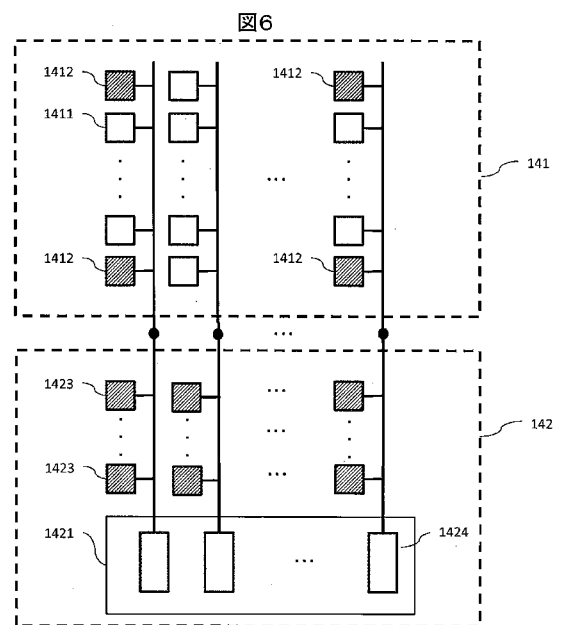
【 図 4 】



【 図 5 】



【 図 6 】



专利名称(译)	内窥镜		
公开(公告)号	JP2018174488A	公开(公告)日	2018-11-08
申请号	JP2017072452	申请日	2017-03-31
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	橘俊雄		
发明人	橘 俊雄		
IPC分类号	H04N5/365 A61B1/04 A61B1/045 H01L27/146 H04N5/363 H04N5/378		
FI分类号	H04N5/365 A61B1/04.530 A61B1/045.611 H01L27/146.F H01L27/146.A H04N5/363 H04N5/378		
F-TERM分类号	4C161/AA00 4C161/BB00 4C161/CC06 4C161/JJ06 4C161/JJ15 4C161/LL02 4C161/NN01 4C161/PP01 4C161/SS01 4C161/SS04 4C161/SS10 4C161/SS18 4M118/AA10 4M118/AB01 4M118/BA09 4M118/BA19 4M118/CA01 4M118/FA06 4M118/GB09 4M118/GD03 4M118/HA22 4M118/HA24 4M118/HA25 5C024/BX02 5C024/CX06 5C024/CX31 5C024/GX07 5C024/GZ36 5C024/HX13 5C024/HX29		
代理人(译)	渡边 敏章 吉川 明		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够在不损害噪声校正功能的情况下提供尽可能多的光接收像素的内窥镜。根据本发明的内窥镜具备它实现了第一光接收元件的光接收元件芯片，并且实现该第二光接收元件和所述噪声校正电路和信号处理电路的信号处理芯片，该信号处理电路输出第一光接收元件并且使用第二光接收元件的力和输出之间的差来校正噪声校正电路的输出。

